

BAB I

PENDAHULUAN

1.1 Latar Belakang Penelitian

Perkembangan teknologi komputasi sangat pesat, mendorong kebutuhan akan sistem proses data yang lebih efisien, fleksibel dan hemat sumber daya. Sistem komputer mempunyai salah satu komponen yang menangani sistem komputasi yaitu *Arithmetic Logic Unit* atau yang biasa disebut dengan ALU. Komponen tersebut merupakan bagian dari *Central Processing Unit* (CPU) yang bertugas menangani operasi dasar aritmatika dan logika, seperti penjumlahan, pengurangan, perkalian dan pembagian. Serta operasi logika, seperti AND, OR dan XOR (Sianipar dkk., 2020). Sebelum menjalankan intruksi oleh prosesor, data tersebut akan diproses terlebih dahulu oleh *Arithmetic Logic Unit* (ALU).

Perangkat ini banyak digunakan pada berbagai jenis arsitektur prosesor, termasuk prosesor 8-Bit yang masih banyak digunakan pada sistem mikroprosesor maupun mikrokontroler (Widharma dkk., 2022). Dengan memiliki kemampuan untuk menangani angka dalam representasi biner sepanjang 8-Bit, yaitu 00000000 sampai dengan 11111111 dan jika di desimalkan dari angka 0 sampai dengan 255, sistem *Arithmetic Logic Unit* (ALU) memiliki kemampuan untuk menangani pemrosesan data tersebut (Iswantoro dkk., 2019). Selain itu, ALU memiliki sifat modular dimana komponen komponennya dapat dirancang secara terpisah. Seperti *Arithmetic Logic Unit* (ALU) yang menjadi salah satu komponen dari prosesor.

Untuk merancang *Arithmetic Logic Unit* (ALU) 8-Bit membutuhkan perangkat lunak yang memadai agar dapat mengimplementasi sistem digital secara fleksibel. *Field Programmable Gate Array* (FPGA) memiliki rangkaian logika yang dapat dikonfigurasi ulang setelah proses perancangan, maka dari itu cocok untuk mengimplementasikan *Arithmetic Logic Unit* (ALU) 8-Bit (Dermawan dkk., 2020). Konfigurasi *Field Programmable Gate Array* (FPGA) dilakukan menggunakan bahasa *Hardware Description Language* (HDL), dan dalam penelitian ini *Very High Speed Integrated*

Circuit Hardware Description Language (VHDL) karena kemampuannya dalam mendeskripsikan perilaku sistem secara struktural maupun fungsional (Sugiarta dkk., 2022).

Dalam proses implementasi, pemrograman VHDL akan melalui tahapan kompilasi untuk menghasilkan konfigurasi akhir pada FPGA, yang mencakup penggunaan logika dan *clock*. Selain itu, tahapan kompilasi juga akan menghasilkan laporan terkait pemetaan logika, penggunaan pin, konsumsi daya, serta *timing analysis* yang berguna untuk mengevaluasi apakah desain telah memenuhi kebutuhan fungsional maupun batasan performa. Dengan demikian, tahap implementasi tidak hanya berfokus pada kebenaran fungsional, tetapi juga pada optimalisasi agar sistem dapat berjalan stabil dan sesuai dengan spesifikasi yang diinginkan. Oleh karena itu, pemrograman yang efisien serta penempatan logika yang tepat dapat membantu meningkatkan kinerja sistem dan meminimalkan penggunaan sumber daya.

Penelitian mengenai perancangan *Arithmetic Logic Unit* (ALU) pada FPGA sebelumnya telah dilakukan oleh Dermawan dkk., (2020) dengan judul Rancang Bangun *Arithmetic Logic Unit* (ALU) 8-bit pada *Spartan 2 Field Programmable Gate Array* (FPGA). Tujuan dari penelitian tersebut adalah untuk mendesain dan mensimulasikan *Arithmetic Logic Unit* (ALU) 8-bit menggunakan FPGA Spartan 2. Dalam penelitian ini, perancangan *Arithmetic Logic Unit* (ALU) 8-bit dilakukan menggunakan FPGA Altera Cyclone IV sebagai platform implementasi, menggantikan FPGA. Spartan 2 yang digunakan pada penelitian sebelumnya. Penggunaan FPGA Altera Cyclone IV juga didukung oleh perangkat lunak Quartus Prime sebagai alat bantu dalam proses desain, simulasi, dan sintesis, dan perangkat lunak ModelSim sebagai alat bantu dalam proses pengujian. Pada penelitian ini menggunakan operasi aritmatika dasar dan logika dasar yaitu penjumlahan, pengurangan, perkalian, pembagian *AND* dan *OR* berbasis 8-Bit. Penelitian ini diharapkan dapat menghasilkan rancangan dan implementasi *Arithmetic Logic Unit*

(ALU) yang sesuai untuk kebutuhan pemrosesan logika dan aritmatika serta dapat diintegrasikan ke dalam sistem komputasi secara lebih efisien.

1.2 Rumusan Masalah Penelitian

Berdasarkan latar belakang yang telah dijelaskan, terdapat beberapa rumusan masalah sebagai berikut:

1. Bagaimana cara merancang dan mengimplementasikan *Arithmetics Logic Unit* (ALU) Pada FPGA Altera Cyclone IV?
2. Bagaimana kinerja FPGA Altera Cyclone IV *dalam* ALU 8-Bit?

1.3 Tujuan Penelitian

Berdasarkan latar belakang yang telah dijelaskan, terdapat beberapa Tujuan Penelitian sebagai berikut:

1. Merancang dan mengimplementasikan *Arithmetics Logic Unit* (ALU) Pada FPGA Altera Cyclone IV
2. Mengetahui kinerja FPGA Altera Cyclone IV dalam ALU 8-Bit

1.4 Manfaat Penelitian

Berdasarkan latar belakang yang telah dijelaskan, terdapat dua manfaat Penelitian, yaitu manfaat teoritis dan manfaat praktis.

1.4.1 Manfaat Teoritis

Secara teoritis, penelitian ini diharapkan dapat memberikan manfaat berupa:

1. Menambah referensi akademik mengenai penerapan konsep *Arithmetic Logic Unit* (ALU) pada platform FPGA, yang dapat digunakan oleh peneliti lain untuk pengembangan lebih lanjut.
2. Memperkaya kajian tentang perancangan arsitektur komputasi digital dengan fokus pada efisiensi pemrosesan data 8-bit menggunakan bahasa pemrograman seperti VHDL.
3. Memberikan kontribusi terhadap pengembangan ilmu pengetahuan, khususnya dalam bidang desain logika digital dan teknologi perangkat keras berbasis FPGA.

1.4.2 Manfaat Praktis

Diharapkan manfaat secara Praktis dalam penelitian ini yaitu:

1. Membantu memahami proses kerja FPGA dalam merancang sistem logika digital melalui studi kasus desain *Arithmetics Logic Unit* (ALU) 8-bit.
2. Memberikan langkah-langkah praktis untuk merancang *Arithmetics Logic Unit* (ALU) berbasis FPGA, yang dapat dimanfaatkan oleh mahasiswa atau peneliti yang ingin memahami teknologi FPGA secara mendalam.
3. Mengetahui bagaimana mengimplementasikan dan merancang *Arithmetics Logic Unit* (ALU) pada FPGA.

1.5 Ruang Lingkup Penelitian

Penelitian ini berfokus kepada perancangan dan implementasi dengan ruang lingkup sebagai berikut:

1. Bahasa pemrograman yang digunakan adalah VHDL.
2. *Arithmetic Logic Unit* (ALU) yang dirancang hanya mendukung operasi aritmatika dasar dan logika dasar (penjumlahan, pengurangan, perkalian, pembagian, *AND* dan *OR*)
3. Operasi yang dilakukan pada *Arithmetic Logic Unit* (ALU) ini memiliki batas maksimal hingga 8-Bit, artinya nilai bilangan yang dapat diproses hanya sampai 255 dalam representasi desimal, atau 11111111 dalam representasi biner.
4. Operasi yang dapat dilakukan dalam perancangan *Arithmetic Logic Unit* (ALU) ini hanya terbatas pada bilangan positif.
5. Operasi yang dapat dilakukan dalam perancangan *Arithmetic Logic Unit* (ALU) ini hanya terbatas pada bilangan bulat.

1.6 Struktur Organisasi Skripsi

Sistematika penulisan skripsi pada penelitian ini mengacu pada Pedoman Penulisan Karya Ilmiah UPI Tahun 2024. Skripsi disusun dalam 5 bab, setiap bab memiliki fokus penulisan sebagai berikut:

Bab I berupa Pendahuluan yang berisi latar belakang penelitian, rumusan masalah, tujuan penelitian, manfaat penelitian, dan ruang lingkup penelitian.

Bab II berupa Tinjauan Pustaka yang berisi uraian teori dan penelitian terdahulu yang relevan sebagai dasar untuk mendukung penelitian. Bagian ini juga mencakup kerangka teori dan konsep yang menjadi landasan penelitian.

Bab III pada bab ini menjelaskan metode penelitian, Langkah-langkah, serta desain penelitian yang digunakan dalam proses pengembangan sistem.

Bab IV berisi uraian Hasil dan Pembahasan untuk menyajikan temuan atau hasil penelitian dalam bentuk teks, tabel, atau grafik, serta memberikan interpretasi dan pembahasan terhadap hasil tersebut. Pada bagian ini, hasil penelitian dikaitkan dengan teori atau penelitian terdahulu.

Bab V berupa Simpulan dan Saran yang menyajikan ringkasan dari hasil penelitian serta menjawab rumusan masalah. Bagian ini juga memberikan saran untuk penelitian selanjutnya atau implikasi praktis dari temuan penelitian.