

80/S/TEKKOM-KCBR/PK-03.08/22/AGUSTUS/2025

**RANCANGAN DAN IMPLEMENTASI *ARITHMETIC LOGIC*
UNIT 8-BIT PADA FPGA ALTERA CYCLONE IV**



SKRIPSI

diajukan untuk memenuhi sebagian syarat untuk memperoleh gelar Sarjana Teknik pada
Program studi Teknik Komputer

Oleh:

Atsiilah Cyntiasari Hidayat Putri

2109645

**PROGRAM STUDI S1 TEKNIK KOMPUTER
KAMPUS UPI DI CIBIRU
UNIVERSITAS PENDIDIKAN INDONESIA
2025**

HALAMAN HAK CIPTA

**RANCANGAN DAN IMPLEMENTASI *ARITHMETIC LOGIC UNIT* 8-BIT
PADA FPGA ALTERA CYCLONE IV**

oleh

Atsiilah Cyntiasari Hidayat Putri

2109645

Sebuah Skripsi yang Diajukan untuk Memenuhi Salah Satu Syarat Memperoleh
Gelar Sarjana Teknik pada Program Studi S1 Teknik Komputer

© Atsiilah Cyntiasari Hidayat Putri

Universitas Pendidikan Indonesia

2025

Hak Cipta Dilindungi Undang-Undang

Skripsi ini tidak boleh diperbanyak seluruhnya atau sebagian, dengan dicetak
ulang, difoto kopi, atau cara lainnya tanpa izin penulis

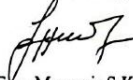
HALAMAN PENGESAHAN SKRIPSI

ATSIILAH CYNTIASARI HIDAYAT PUTRI

**RANCANGAN DAN IMPLEMENTASI *ARITHMETIC LOGIC UNIT* 8-BIT
PADA FPGA ALTERA CYCLONE IV**

Disetujui dan disahkan oleh pembimbing:

Pembimbing 1



Dr. Eng. Munawir, S.Kom., M.T.

NIP. 920200819851205101

Pembimbing 2



Devi Aprianti Rimadhani Agustini, S.Si., M.Si.

NIP. 920200819890421201

Mengetahui

Ketua Program Studi S-1 Teknik Komputer



Anugrah Rudiwilaga, S.ST., M.T.

NIP. 920200819880813101

PERNYATAAN BEBAS PLAGIARISME

Saya yang bertanda tangan dibawah ini:

Nama : Atsiilah Cyntiasari Hidayat Putri

NIM : 2109645

Program Studi : Teknik Komputer

Judul Karya : Rancangan Dan Implementasi *Arithmetic Logic Unit* 8-Bit Pada
FPGA Altera Cyclone IV

Dengan ini menyatakan bahwa karya tulis ini merupakan hasil kerja saya sendiri.
Saya menjamin bahwa seluruh isi karya ini, baik sebagian maupun keseluruhan,
bukan merupakan plagiarisme dari karya orang lain, kecuali pada bagian yang
telah dinyatakan dan disebutkan sumbernya dengan jelas.

Jika di kemudian hari ditemukan pelanggaran terhadap etika akademik atau unsur
plagiarisme, saya bersedia menerima sanksi sesuai peraturan yang berlaku di
Universitas Pendidikan Indonesia.

Kabupaten Bandung, 20 Agustus 2025



Atsiilah Cyntiasari Hidayat Putri

KATA PENGANTAR

Dengan penuh rasa syukur ke hadirat Allah SWT atas segala limpahan rahmat dan karunia-Nya, penulis dapat menyelesaikan skripsi yang berjudul "Rancangan dan implementasi *Arithmetic Logic Unit (ALU) 8-Bit Pada Field Programmable Gate Array (FPGA) Altera Cyclone IV*" Skripsi ini diajukan sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik (S.T) pada Program Studi Teknik Komputer, Kampus UPI di Cibiru, Universitas Pendidikan Indonesia.

Penelitian ini dapat diselesaikan dengan sebaik mungkin berkat bantuan dan dukungan dari berbagai pihak. Dengan penuh rasa hormat, penulis ingin menyampaikan rasa terima kasih dan apresiasi yang sebesar-besarnya kepada:

1. Bapak Dr. Eng. Munawir, S.Kom., M.T., selaku pembimbing pertama, atas bimbingan, masukan, dan dukungan yang tak ternilai selama proses penyusunan skripsi.
2. Ibu Devi Aprianti Rimadhani Agustini, S.Si., M.Si., selaku pembimbing kedua, atas perhatian, dan bimbingannya yang sangat berharga dalam menyempurnakan penulisan skripsi ini.
3. Bapak Wirmanto Suteddy, S.T., M.T., selaku dosen pembimbing akademik, atas bimbingan dan dukungan yang diberikan selama masa perkuliahan.
4. Seluruh dosen dan staf di lingkungan Program Studi Teknik Komputer, UPI Kampus Cibiru, yang telah memberikan ilmu, fasilitas, serta lingkungan belajar yang mendukung selama masa perkuliahan.
5. Kedua orang tua dan keluarga, atas doa, semangat, dan pengingat untuk tetap beribadah. Kehadiran dan dukungan mereka menjadi penguat tersendiri dalam menyelesaikan skripsi ini. Segala pencapaian ini tidak lepas dari pengorbanan dan restu mereka.
6. Ucapan terima kasih yang sebesar-besarnya saya sampaikan kepada Alm. Ayah, yang telah memberikan doa dan semangat sejak awal semester hingga pertengahan semester.

7. Teman-teman seperjuangan di Teknik Komputer, atas kebersamaan, dukungan moral, serta pertukaran ilmu dan pengalaman yang sangat berarti dalam menjalani proses studi hingga tahap akhir ini.

RANCANGAN DAN IMPLEMENTASI *ARITHMETIC LOGIC UNIT* 8-BIT PADA FPGA ALTERA CYCLONE IV

Atsiilah Cyntiasari Hidayat Putri

2109645

ABSTRAK

Arithmetic Logic Unit (ALU) merupakan sistem komputer yang menangani operasi komputasi, dimana perangkat ini banyak digunakan sebagai bagian dari arsitektur prosesor, termasuk prosesor 8-bit. Sistem 8-bit memiliki kemampuan untuk menangani angka dalam representasi biner sepanjang 8 bit, yaitu 00000000 sampai dengan 11111111, atau dalam bentuk desimal bernilai 0 sampai dengan 255. *Field Programmable Gate Array* (FPGA) cocok untuk mengimplementasikan *Arithmetic Logic Unit* (ALU) 8-bit karena *Field Programmable Gate Array* (FPGA) memiliki rangkaian logika yang dapat dikonfigurasi ulang setelah proses perancangan. Oleh karena itu, penelitian ini bertujuan untuk merancang dan mengimplementasikan *Arithmetic Logic Unit* (ALU) 8-bit pada *Field Programmable Gate Array* (FPGA) Altera Cyclone IV, menggunakan bahasa pemrograman *Very High Speed Integrated Circuit Hardware Description Language* (VHDL). Desain diuji menggunakan perangkat lunak ModelSim untuk memastikan operasi aritmatika dasar seperti penjumlahan, pengurangan, perkalian, dan pembagian dan logika seperti *AND* dan *OR* bekerja sesuai rancangan. Hasil pengujian menunjukkan bahwa seluruh operasi berjalan sesuai desain, dengan penggunaan sumber daya sekitar 405 logic element atau 6,46%, sehingga masih sangat memungkinkan untuk pengembangan lebih lanjut. Dari sisi konsumsi daya, sistem menunjukkan total thermal power sebesar 77,44 mW.

Kata Kunci : FPGA, ALU 8-Bit, ModelSim, VHDL

DESIGN AND IMPLEMENTATION OF 8-BIT ARITHMETIC LOGIC UNIT ON FPGA ALTERA CYCLONE IV

Atsiilah Cyntiasari Hidayat Putri

2109645

ABSTRACT

Arithmetic Logic Unit (ALU) is a computer system that handles computational operations, where this device is widely used as part of the processor architecture, including 8-bit processors. 8-bit systems have the ability to handle numbers in 8-bit binary representation, namely 00000000 to 11111111, or in decimal form with a value of 0 to 255. Field Programmable Gate Array (FPGA) is suitable for implementing 8-bit Arithmetic Logic Unit (ALU) because Field Programmable Gate Array (FPGA) has a logic circuit that can be reconfigured after the design process. Therefore, this study aims to design and implement an 8-bit Arithmetic Logic Unit (ALU) on the Altera Cyclone IV Field Programmable Gate Array (FPGA), using the Very High Speed Integrated Circuit Hardware Description Language (VHDL) programming language. The design was tested using ModelSim software to ensure basic arithmetic operations such as addition, subtraction, multiplication, and division and logic such as AND and OR work as designed. Test results showed that all operations were running as designed, with resource usage of approximately 405 logic elements, or 6.46%, allowing for further development. In terms of power consumption, the system displayed a total thermal power of 77.44 mW.

Keywords : *FPGA, ALU 8-Bit, ModelSim, VHDL*

DAFTAR ISI

HALAMAN HAK CIPTA	i
HALAMAN PENGESAHAN SKRIPSI.....	Error! Bookmark not defined.
PERNYATAAN BEBAS PLAGIARISME.....	iii
KATA PENGANTAR	iv
ABSTRAK	vi
<i>ABSTRACT</i>	vii
DAFTAR ISI.....	viii
DAFTAR TABEL	xi
DAFTAR GAMBAR	xii
DAFTAR LAMPIRAN.....	xiv
DAFTAR PERSAMAAN	xv
BAB I	1
PENDAHULUAN	1
1.1 Latar Belakang Penelitian	1
1.2 Rumusan Masalah Penelitian	3
1.3 Tujuan Penelitian	3
1.4 Manfaat Penelitian	3
1.4.1 Manfaat Teoritis.....	3
1.4.2 Manfaat Praktis	4
1.5 Ruang Lingkup Penelitian.....	4
1.6 Struktur Organisasi Skripsi	4
BAB II.....	6
TINJAUAN PUSTAKA	6
2.1 <i>Arithmetic Logic Unit (ALU)</i>	6

2.2 Field Programmable Gate Array (FPGA)	7
2.3 Altera Cyclone IV	13
2.4 <i>Very High Speed Integrated Circuit Hardware Description Language</i> (VHDL).....	14
2.5 ModelSim.....	15
2.6 Sistem Biner	16
2.6.1 Konversi Biner ke Desimal.....	16
2.6.2 Konversi Desimal ke Biner.....	17
2.6.3 Penjumlahan Biner.....	17
2.6.4 Pengurangan Biner.....	18
2.6.5 Perkalian Biner	18
2.6.6 Pembagian Biner.....	19
2.6.7 <i>Signed Two's Complement</i>	19
2.7 <i>Dual In-line Package</i> (DIP) Switch 8 Channel.....	20
2.8 <i>Light-Emitting Diode</i> (LED)	21
2.9 Layar Tujuh Segmen	21
2.10 Penelitian Terkait	23
2.11 Kerangka Pemikiran.....	26
BAB III	27
METODE PENELITIAN.....	27
3.1 <i>Analysis</i>	28
3.2 Desain.....	30
3.2.1 Kontrol Aritmatic Logic Unit (ALU)	30
3.2.2 Diagram Blok <i>Arithmetic logic unit</i> (ALU) 8-Bit Pada FPGA Altera Cyclone IV	31

3.2.3 Flowchart sistem <i>Aritmatic Logic Unit</i> (ALU) 8-bit Pada <i>Field Programmable Gate Array</i> (FPGA)	32
3.2.4 Desain PCB.....	33
3.2.5 Rangkaian Pin dan Wiring <i>Aritmatic Logic Unit</i> (ALU) 8-bit	34
3.4.6 Struktur Sistem <i>Aritmatic Logic Unit</i> (ALU) 8-Bit.....	36
3.3 Pengembangan	37
3.4 Implementasi	42
3.5 Evaluasi	42
BAB IV	47
HASIL DAN PEMBAHASAN.....	47
4.1 Hasil Implementasi Sistem.....	47
4.2 Hasil Pengujian	49
4.2.1 Hasil Pengujian ModelSim	50
4.2.2 Hasil Pengujian Alat	55
4.3 Analisis Kinerja Sistem Pada FPGA.....	61
4.3.1 Hasil <i>Analysis</i> dan <i>Synthesis</i> pada Quartus.....	62
4.3.2 Hasil <i>Power Analyzer</i> Pada Quartus	64
BAB V.....	66
SIMPULAN DAN SARAN	66
5.1 Simpulan	66
5.2 Saran.....	66
DAFTAR PUSTAKA	68
LAMPIRAN.....	71

DAFTAR TABEL

Tabel 2. 1 Komponen FPGA.....	8
Tabel 2. 2 Visualisasi menampilkan Layar tujuh segmen.....	22
Tabel 2. 3 Penelitian Terkait	25
Tabel 3. 1 Spesifikasi FPGA.....	29
Tabel 3. 2 Kontrol Aritmatic Logic Unit (ALU)	30
Tabel 3. 3 Konfigurasi Pin	35
Tabel 4. 1 Hasil pengujian alat pada operasi penjumlahan.....	56
Tabel 4. 2 Hasil pengujian alat pada operasi pengurangan.....	57
Tabel 4. 3 Hasil pengujian alat pada operasi perkalian.....	58
Tabel 4. 4 Hasil pengujian alat pada operasi pembagian	58
Tabel 4. 5 Hasil Pengujian alat pada operasi AND.....	60
Tabel 4. 6 Hasil Pengujian alat pada operasi OR.....	60
Tabel 4. 7 Hasil analysis dan synthesis resource usage summary	62
Tabel 4. 8 Hasil Power Analyzer ALU 8-Bit pada Quartus.....	64

DAFTAR GAMBAR

Gambar 2. 1 Simbol <i>Arithmetic logic unit</i> (ALU) Rao dkk. (2022)	6
Gambar 2. 2 FPGA Altera Cyclone IV (Sumber: dok. Pribadi)	7
Gambar 2. 3 contoh MSB dan LSB (Chairunnas dkk., 2020).....	16
Gambar 2. 4 Operasi penjumlahan (Singgih., 2017).....	18
Gambar 2. 5 Operasi pengurangan (Mahmud., 2025).....	18
Gambar 2. 6 Operasi Perkalian (Chairunnas dkk., 2019)	19
Gambar 2. 7 Operasi Pembagian (Chairunnas, P. Prajugana, & Iqbal, 2019)	19
Gambar 2. 8 Dual In-line Package (DIP) Switch 8 Channel.....	20
Gambar 2. 9 Layar tujuh segmen (Rahardjo & Winarno., 2012).....	22
Gambar 3. 1 Alur Penelitian (Rusdi., 2019).....	27
Gambar 3. 2 Spesifikasi FPGA	28
Gambar 3. 3 Diagram Blok Arithmetic logic unit (ALU) 8-Bit Pada FPGA Altera Cyclone IV	31
Gambar 3. 4 Flowchart sistem Arithmetic Logic Unit (ALU) 8-bit pada FPGA Altera Cyclone IV	32
Gambar 3. 5 Rangkaian PCB Input.....	33
Gambar 3. 6 Rangkaian PCB Output	34
Gambar 3. 7 Rangkaian Wiring	34
Gambar 3. 8 Struktur Arithmetic Logic Unit (ALU) 8-Bit.....	37
Gambar 3. 9 Pembuatan pemograman	38
Gambar 3. 10 Toolbar Compilation	38
Gambar 3. 11 Toolbar Pin Planner.....	39
Gambar 3. 12 Tampilan dari Pin Planner	39
Gambar 3. 13 Top View Diagram dari chip FPGA Cyclone IV E EP4CE6E22C8	39
Gambar 3. 14 Toolbar Programmer	40
Gambar 3. 15 Tampilan dari Programmer	40
Gambar 3. 16 Tampilan dari hardware setup	41

Gambar 3. 17 Tampilan programmer setelah dihubungkan USB Blaster.....	41
Gambar 4. 1 PCB input	47
Gambar 4. 2 PCB output	48
Gambar 4. 3 Hasil akhir implementasi sistem	49
Gambar 4. 4 Hasil pengujian ALU 8-Bit pada operasi penjumlahan	51
Gambar 4. 5 Hasil pengujian ALU 8-Bit operasi pengurangan	51
Gambar 4. 6 Hasil pengujian ALU 8-Bit pada operasi perkalian	52
Gambar 4. 7 Hasil pengujian ALU 8-Bit pada operasi pembagian	53
Gambar 4. 8 Hasil pengujian ALU 8-Bit pada operasi AND	54
Gambar 4. 9 Hasil pengujian ALU 8-Bit pada operasi OR	54
Gambar 4. 10 Persentasi penggunaan sumber daya terhadap Hasil analysis dan synthesis resource usage summary.....	63

DAFTAR LAMPIRAN

Lampiran 1 Jadwal Penelitian	71
Lampiran 2 Kode VHDL ALU 8-Bit Pada Field Programmable Gate Array (FPGA).....	71
Lampiran 3 Code Testbench ALU 8-Bit Pada Field Programmable Gate Array (FPGA).....	75
Lampiran 4 Hasil pengujian alat pada operasi pertambahan	77
Lampiran 5 Hasil Pengujian Alat pada operasi pengurangan	80
Lampiran 6 Hasil Pengujian Alat pada operasi perkalian.....	82
Lampiran 7 Hasil Pengujian Alat pada operasi pembagian	85
Lampiran 8 Hasil Pengujian Alat pada operasi AND	87
Lampiran 9 Hasil Pengujian Alat pada operasi OR	89
Lampiran 10 Hasil Analysis & Synthesis pada Quartus	92
Lampiran 11 Hasil Power Analyzer pada Quartus.....	92
Lampiran 12 Bilangan Biner 0 - 255.....	92
Lampiran 13. Field Programmable Gate Array (FPGA) Altera Cyclone IV tabel produk	102
Lampiran 14 RTL Skematik Pada Quartus	103
Lampiran 15 Video Pengujian	103

DAFTAR PERSAMAAN

<i>Two's complement (1)</i>	20
-----------------------------------	----

DAFTAR PUSTAKA

- Raharja, W., & Sudiro, S. (2008). Simulasi Rancangan Filter Butterworth Menggunakan Xilinx-ISE 8.Ii dan ModelSim. *Proceeding, Seminar Ilmiah Nasional Komputer dan Sistem Intelijen (KOMMIT 2008)*, 20-21.
- Reza, I., M Ary, M., & Usman, K. (2009). Montgomery untuk Sistem Kriptografi Kunci Publik RSA. *Konferensi Nasional Sistem dan Informatika*, 286-293.
- Ashenden, P. (2010). *The Designer's Guide to VHDL*. Burlington, USA: Elsevier.
- Binti Suhaili, S., & Watanabe, T. (2016). Simulation-Based Power Estimation of Low Power MD5 Design Techniques. *Modern Environmental Science and Engineering*, 2(09), 625-630. doi:10.15341/mese(2333-2581)/09.02.2016/007
- Chairunnas, A., P. Prajugana, A., & Iqbal, M. (2019). *Buku Ajar Sistem Digital Teori dan Implementasi*. (S. Yudhie, Penyunt.) Bogor, Jawa Barat, Indonesia: Lembaga Penelitian dan Pengabdian masyarakat Universitas Pakuan.
- Dermawan, D., Putra, M., Waluyo, C., & Sudibya, B. (2020). Rancang Bangun Arithmetic Logic Unit 8 Bit Pada Spartan 2 Field Programmable Gate Array. *Conference SENATIK STT Adisutjipto Yogyakarta*, 6, 185-198. doi:10.28989/senatik.v6i0.423
- Esmawan, A., & Antarnusa, G. (2019). Perancangan Sistem Penskoran Olahraga dengan Tampilan Seven Segment. *Gravity: Jurnal Ilmiah Penelitian dan Pembelajaran Fisika*, 4(1), 75-84.
- Firmansyah, I. (2013). Perancangan Sistem Kendali Terdistribusi Berbasis Mikrokontroler dan Embedded Web Server. *Telaah Jurnal Ilmu Pengetahuan dan Teknologi*, 67-73.
- Gunawan, I., Nurkholis, A., & Sucipto, A. (2020). Sistem Monitoring Kelembaban Gabah Padi Berbasis Arduino. *Jurnal Teknik dan Sistem Komputer*, 1(1), 1-7. doi:10.33365/jtikom.v1i1.4
- Huang, Z. (2023). Design and implementation of an 8-bit ALU based on verilog HDL. *Theoretical and Natural Science*(1), 180-185. doi:10.54254/2753-8818/14/20240939
- Intel . (t.thn.). *Cyclone® IV EP4CE6 FPGA*. Diambil kembali dari <https://www.intel.co.id/content/www/id/id/products/sku/210472/cyclone-iv-ep4ce6-fpga/specifications.html>

- Intel. (t.thn.). *Cyclone® IV E FPGAs*. Diambil kembali dari <https://www.altera.com/products/fpga/cyclone/iv/e>
- Intel. (t.thn.). *Cyclone® IV FPGA*. Diambil kembali dari <https://www.altera.com/products/fpga/cyclone/iv>
- Iswantoro, E., Ichsan, M., & Kurniawan, W. (2019). Desain Arithmetic Logic Unit 8bit untuk Central Processing Unit 8bit. *Jurnal Pengembangan Teknologi Informasi dan Ilmu Komputer*, 3(1), 892-898.
- J. Ellis, Timothy, & Levy, Yair. (2010). A Guide for Novice Researchers: Design and Development Research Methods. *Proceedings of the 2010 InSITE Conference*, 107-118. doi:10.28945/1237
- Jagtap, A., Pagdhare, N., & Vitekar, P. (2024). Design and Implementation of 8-Bit ALU using Verilog. *International Journal of Engineering and Technology (PIJET)*, 1(2), 153-162.
- Jatmiko, Asy'ari, H., & Purnama, M. (2011). Pemanfaatan Sel Surya Dan Lampu Led Untuk Perumahan. *Semantik*, 1-6.
- Jayanti, P., Septiani, S., Sofiawati, D., & Antarnusa, G. (2020). Sandi BCD ke Peraga Seven Segment dengan Simulasi Proteus. *Prosiding Seminar Nasional Pendidikan Fisika*, 3(1), 308.
- Kaur, H., Sohal, H., & Singh, J. (2016). Design and performance analysis of uart using Altera Quartus-II and Xilinx ISE 14.2. *6th International Conference on Communication and Network Technologies*, 2-6.
- Mahmud, R. (2025). Buku Ajar Sistem Komputer. Dalam A. Hapsan , & N. Astuti (Penyunt.). CV.Ruang Tentor.
- Muchlas. (2013). *Dasar-Dasar Rangkaian Digital*. Yogyakarta: UAD PRESS.
- Mulyati, Sri. (2021). *Buku Ajar Sistem Digital Untuk Teknik Informatika*. (N. Wahyuni , Penyunt.) Kabupaten Bandung, Jawa Barat, Indonesia: Widina Bhakti Persada Bandung (Grup CV. Widina Media Utama).
- Nurafifah, S, Dewi, D. A, & Furnamasari, Y. F. (2022). Rancang bangun media buku digital materi arti lambang garuda pancasila kelas tiga sekolah dasar. *Jurnal Pendidikan dan Pembelajaran Khatulistiwa*, 11(08), 952-961. doi:10.26418/jppk.v11i8.57161
- Pangerang, F., Kambuno, D., Abidin, Z., Lumembang, C., Kifaya, & Aryani, D. (2022). *Rangkaian Logika*. Makasar, Yogyakarta: PT. Nas Media Indonesia Anggota IKAPI.
- Rahardjo, R., & Winarno, H. (2012). Pendeteksi Ketinggian Level Air Dengan Tampilan Lcd Berbasis Mikrokontroller Atmega 8 Serta Led Buzzer Dan
- Atsiilah Cyntiasari Hidayat Putri, 2025
**RANCANGAN DAN IMPLEMENTASI ARITHMETIC LOGIC UNIT 8-BIT
 PADA FPGA ALTERA CYCLONE IV**
Universitas Pendidikan Indonesia | repository.upi.edu | perpustakaan.upi.edu

- Seven Segment Sebagai Peringatan Dini Kenaikan Air Pasang (Rob) Berbasis Programmable Logic Controller Cp1E-E40Dr-a. *Gema Teknologi*, 17(1), 22. doi:10.14710/gt.v17i1.8913
- Rao, S. M. (2022). Implementation of ALU on FPGA. *International Research Journal of Engineering and Technology*, 1(1).
- Rusdi, M. (2019). Penelitian desain dan pengembangan kependidikan. Dalam penelitian Nurafifah, S, Dewi, D. A, & Furnamasari, Y. F. (2022). Rancang bangun media buku digital materi arti lambang garuda pancasila kelas tiga sekolah dasar. *Jurnal Pendidikan dan Pembelajaran Khatulistiwa*, 11(08), 952-961. doi:10.26418/jppk.v11i8.57161
- Santoso, K., Delenia, E., & Pradjaningsih, A. (2024). Pengaman Teks dengan Kombinasi Metode Electronic Code Book (ECB) dan Kode Seven Segment Display. *Jurnal Teknologi Informasi dan Ilmu Komputer*, 11(1), 85-94. doi:10.25126/jtiik.20241117448
- Sianipar, S., Ichsan, M., & Setiawan, E. (2020). Desain Datapath Arsitektur Komputer MIC-1 8 bit Menggunakan IC74XX. *Jurnal Pengembangan Teknologi Informasi dan Ilmu Komputer*, 4(6), 1591-1600.
- Singgih, H. (2017). *Elektronika Digital 1*. Malang, Indonesia: Polinemas Press.
- Sugiarta, Y., Isdaryani, F., Andini, D., & Hikmawati, R. (2022). Implementasi Sistem Kendali ON-OFF pada Field Programmable Gate Array (FPGA). *JTERA (Jurnal Teknologi Rekayasa)*, 7(1), 31. doi:10.31544/jtera.v7.i1.2022.31-38
- Suhardi, D. (2014). Prototipe Controller Lampu Penerangan LED (Light Emitting Diode) Independent Bertenaga Surya. *JURNAL GAMMA*, 116-122.
- Wibowo, A. (22). *Dasar Komputer Digital*. Semarang: Yayasan Prima Agus Teknik.
- widharma, I., & wiranata, L. (2022). *Mikrokontroler dan Aplikasi*. (n. wahid, Penyunt.) kab.bayumas, Jawa Tengah, Indonesia: Wawasan Ilmu.